

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-247355

(43)Date of publication of application : 19.09.1997

(51)Int.Cl.

H04N 1/028  
H04N 5/335

(21)Application number : 08-057464

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

(22)Date of filing : 14.03.1996

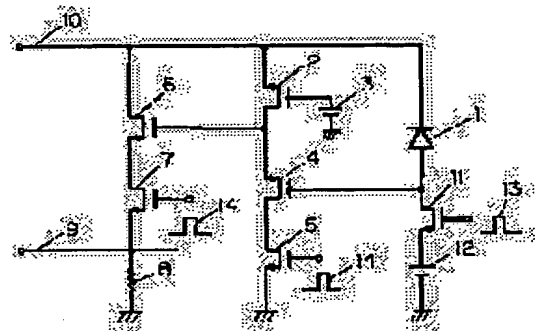
(72)Inventor : MURATA TAKAHIKO  
YAMAGUCHI KAZUFUMI  
TANAKA EIICHIRO  
NAKAMURA TETSURO  
HONGOU HIROTAKA

## (54) IMAGE SENSOR AND IMAGE SENSOR UNIT USING THE SENSOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an image sensor which is small in current consumption and operates at a high speed and the image sensor unit using it.

**SOLUTION:** This image sensor unit is equipped with plural photodiodes 1, a follower circuit composed of a follower transistor (TR) 1 and a load TR, an amplifying TR 6 which amplifies an output signal, a readout TR 7, a reset TR 11 which puts a photodiode 1 back in a reset state, and a switch TR 5 which turns on when applied with a read pulse to activate the follower circuit. When constitution blocks mentioned above which are more than photodiodes as photodetecting pixels by one and plural chips are arrayed to form a contact type are provided, high-speed operation is possible. Further, the image sensor unit which has plural image sensors arrayed and consists of a light source, an image formation optical system, and a circuit is low in current consumption and can make a fast read.



## LEGAL STATUS

[Date of request for examination]

19.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-247355

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	1/028		H 0 4 N	A
	5/335			E

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平8-57464

(22) 出願日 平成8年(1996)3月14日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 村田 隆彦

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 山口 和文

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 田中 栄一郎

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 弁理士 滝本 智之 (外1名)

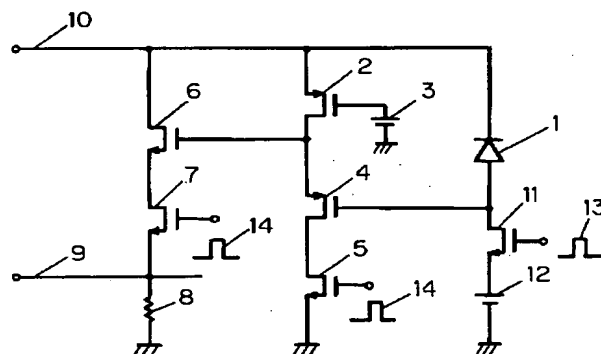
最終頁に続く

(54) 【発明の名称】 イメージセンサとそれを用いたイメージセンサユニット

(57) 【要約】

【課題】 低消費電流、高速動作のイメージセンサの実現とそれを可能にするイメージセンサユニットの実現。

【解決手段】 複数のフォトダイオードと、フォロアトランジスタと負荷トランジスタで構成するフォロア回路と、出力信号を増幅する増幅トランジスタと、読み出しトランジスタと、フォトダイオードをリセット状態に復帰させるリセットトランジスタと、読み出しパルスの印加時にオン状態になりフォロア回路を活性化させるスイッチトランジスタを備えて消費電流を大幅に減少することを特徴とする。また上記の構成ブロックを受光画素であるフォトダイオードの数より1個多く設け、複数チップを配列した密着型の場合、高速動作が可能となる特徴を有する。さらに上記のイメージセンサを複数個配列し、光源、結像光学系、回路、から成るイメージセンサユニットは低消費電流で高速読み取りが可能である。



1

## 【特許請求の範囲】

【請求項1】入射光に応じた信号電荷を発生する複数のフォトダイオードと、フォトダイオードにより光電変換された信号をインピーダンス変換するフォロアトランジスタと負荷トランジスタで構成するフォロア回路と、フォロア回路の出力信号を増幅する増幅トランジスタと、増幅トランジスタに直列に接続され読み出しパルスをゲートに印加することによりオン状態になる読み出しトランジスタと、フォトダイオードごとに設けられ、リセットパルスをゲートに印加することによりオン状態になり10フォトダイオードをリセット状態に復帰させるリセットトランジスタと、フォロア回路に直列に接続され、読み出しパルスの印加時にオン状態になりフォロア回路を活性化させるスイッチトランジスタを備えたことを特徴とするイメージセンサ。

【請求項2】請求項1記載の構成ブロックを受光画素であるフォトダイオードの数より1個多く設け、1個のブロックのフォトダイオードは遮光を施すとともに出力を共通出力に接続し、読み取り期間外にフォトダイオードに遮光を施した構成ブロックのスイッチトランジスタをオン状態とすることを特徴とする請求項1記載のイメージセンサ。

【請求項3】請求項2記載のイメージセンサを複数個配列し、各イメージセンサの出力を共通に接続し、光源、結像光学系、出力処理回路、前記構成部材を支持するシャーシとから成ることを特徴とするイメージセンサユニット。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は原稿情報を低電力でかつ高速で読み取るMOS型イメージセンサとそれを用いたイメージセンサユニットに関するものである。

## 【0002】

【従来の技術】近年、携帯機器の発展にともない原稿情報を低電力でかつ高速で読み取るイメージセンサの要求が高まっている。

【0003】以下図面を参照しながら、上記した従来のイメージセンサとイメージセンサユニット一例について説明する。

【0004】図10は従来のイメージセンサの1画素分に相当する回路構成を示すものである。図10において、101はフォトダイオードでカソードは電源113に、アノードはリセットトランジスタ110のドレインに接続される。102、104はフォロア回路を構成するトランジスタでそれぞれ負荷トランジスタ、ドライバトランジスタでありインピーダンス変換を行う。負荷トランジスタのゲートは103のバイアス電圧に保たれ、ドライバトランジスタのゲートはフォトダイオード101のアノードに接続されている。106は増幅トランジスタでゲートはドライバトランジスタ104のソースに

2

接続され電圧電流変換を行う。107は読み出しトランジスタでソースは共通出力線109に接続され、ゲートは読み出しパルス108が印加されるとオン状態になり出力電流が共通出力線109に出力される。110はリセットトランジスタでリセットパルス111をゲートに印加することによりオン状態になりフォトダイオードのアノードをリセット電圧112に設定する。114は負荷抵抗である。

【0005】このような従来のイメージセンサの動作を図11を用いて説明する。まず、108は読み出しパルスでTの周期でt1の期間highを読み出しトランジスタのゲートに印加する。111はリセットパルスで周期Tで期間t1の中央付近に期間t2でhighをリセットトランジスタのゲートに印加する。期間t2にリセットパルスが印加されるとリセットトランジスタ110がオン状態になりフォトダイオード101のアノードの電圧がリセット電圧(VB)112に設定される。期間t2後リセットトランジスタはオフとなりフォトダイオードのアノードはフローティングとなる。期間Tでフォトダイオードに光が入射しアノード電圧120が上昇し再び期間t2に印加されるリセットパルスでリセット電圧(VB)112に設定される。

【0006】この期間t1を拡大した図を図12に示す。108、111、120は図11と同様であり、121は共通出力線109の出力電圧を示している。フォトダイオードのアノード電圧がドライバトランジスタ104のソースにインピーダンス変換される。この電圧が増幅トランジスタ106のゲートに印加され電流電圧変換により出力電流が負荷抵抗114に流れ出力電圧が共通出力線109に出力される。期間t1内の期間tLには入射光を積分した値すなわち明出力VL、期間t期間tDにはフォトダイオードのアノードをリセット電圧VBに設定した値すなわち暗出力VD、期間t1以外にはGNDレベルの値が出力される。

【0007】図13、図14に、上記した1画素分に相当する回路構成を複数個配列したブロック図と出力図を示す。101a, b, c, dはフォトダイオード、121a, b, c, dは図10で示すリセットトランジスタ110、負荷トランジスタ102、ドライバトランジスタ104、増幅トランジスタ106、読み出しトランジスタ107を1ブロックで示した。図14は連続する各画素からの出力を示す。各画素の明出力VL a, b, c, d、暗出力VD a, b, c, dが順次出力される。

【0008】図15に複数個のイメージセンサを配列する密着型イメージセンサの簡単な構成図を示す。122a, b, c, d, eはイメージセンサで109a, b, c, d, eは各イメージセンサの出力線、109は共通出力線、114は負荷抵抗である。各イメージセンサが順次シフトして出力電流を109a, b, c, d, eに出力する。

3

【0009】図16に各イメージセンサの出力を示す。123aは122aのイメージセンサの出力、123bは122bのイメージセンサの出力である(122c, d, eの出力は省略する)。124は共通出力線109の出力で123a, 123bが合成されている。

【0010】図17は図16中○印の部分拡大したものである。図中VLg, VDgは122aチップの最終画素の出力、VLh, VDhは122bチップの先頭画素の出力で波線部がチップ間の出力接続部である。出力はVDgレベルからいったんGNDレベルに振れた後VLhレベルに振れるため出力VLhのフラットな期間が減少している。

【0011】

【発明が解決しようとする課題】しかしながら上記のような構成では、1画素分に相当する回路構成内のフォロア回路に常時電流が流れるため、例えば1フォロア回路に4 $\mu$ A流れる場合、1チップが256画素有するとすると約1mA、解像度400DPIでA4原稿長のイメージセンサでは約14mA消費する。また密着型イメージセンサの構成で高速動作をするば場合、チップ間の出力接続部でチップ先頭画素の明信号のフラットな期間が少なくなる。即ち、消費電流が多いという問題点と多チップ構成の場合高速出力が困難であるという問題点を有していた。

【0012】本発明は上記問題点に鑑み、消費電流が少なく、高速動作可能なイメージセンサをそれを用いたイメージセンサユニットを提供するものである。

【0013】

【課題を解決するための手段】上記問題点を解決するために本発明のイメージセンサは入射光に応じた信号電荷を発生する複数のフォトダイオードと、フォトダイオードにより光電変換された信号をインピーダンス変換するフォロアトランジスタと負荷トランジスタで構成するフォロア回路と、フォロア回路の出力信号を増幅する増幅トランジスタと、増幅トランジスタに直列に接続され読み出しパルスをゲートに印加することによりオン状態になる読み出しトランジスタと、フォトダイオードごとに設けられ、リセットパルスをゲートに印加することによりオン状態になりフォトダイオードをリセット状態に復帰させるリセットトランジスタと、フォロア回路に直列に接続され、読み出しパルスの印加時にオン状態になりフォロア回路を活性化させるスイッチトランジスタを備えて消費電流を大幅に減少することを特徴とする。また上記の構成ブロックを受光画素であるフォトダイオードの数より1個多く設け、1個のブロックのフォトダイオードは遮光を施すとともに出力を共通出力に接続し、読み取り期間外にフォトダイオードに遮光を施した構成ブロックのスイッチトランジスタをオン状態とすることにより複数チップを配列した密着型の場合、チップ間の出力接続部でチップ先頭画素の明信号のフラットな期間が

4

少なくとも高速動作が可能となる特徴を有する。さらに上記のイメージセンサを複数個配列し、各イメージセンサの出力を共通に接続し、光源、結像光学系、出力処理回路、前記構成部材を支持するシャーシとから成るイメージセンサユニットは低消費電流で高速読み取りが可能である。

【0014】

【発明の実施の形態】以下、本発明の好ましい実施形態を図面に基づいて説明する。

【0015】まず、第一の実施形態に係るイメージセンサの1画素分に相当する回路構成を図1に示す。1はフォトダイオードでカソードは電源10に、アノードはリセットトランジスタ11のドレインに接続される。2、4はフォロア回路を構成するトランジスタでそれぞれ負荷トランジスタ、ドライバトランジスタでありインピーダンス変換を行う。負荷トランジスタ2のゲートは3のバイアス電圧に保たれ、ドライバトランジスタ4のゲートはフォトダイオード1のアノードに接続されている。

【0016】5はスイッチトランジスタでドレインがドライバトランジスタ4のドレインに、ソースがGNDに接続されている。ゲートには読み出しパルス14が印加される。6は増幅トランジスタでゲートはドライバトランジスタ4のソースに接続され電圧電流変換を行う。7は読み出しトランジスタでソースは共通出力線9に接続され、ゲートは読み出しパルス14が印加されるとオン状態になり出力電流が共通出力線9に出力される。11はリセットトランジスタでリセットパルス13をゲートに印加することによりオン状態になりフォトダイオードのアノードをリセット電圧12に設定する。8は負荷抵抗である。

【0017】以上のように構成されたイメージセンサの1画素分に相当する回路構成について図1及び図2を用いてその動作を説明する。

【0018】まず図2はタイミングを示す。14は読み出しパルスでTの周期でt1の期間highをスイッチトランジスタ5と読み出しトランジスタ7のゲートに印加されそれぞれのトランジスタがオンしフォロア回路、増幅回路が活性化する。13はリセットパルスで周期Tで期間t1の中央付近に期間t2でhighをリセットトランジスタ11のゲートに印加する。期間t2にリセットパルスが印加されるとリセットトランジスタ11がオン状態になりフォトダイオード1のアノードの電圧がリセット電圧(VB)12に設定される。期間t2後リセットトランジスタはオフとなりフォトダイオードのアノードはフローティングとなる。期間Tでフォトダイオードに光が入射しアノード電圧15が上昇し再び期間t2に印加されるリセットパルスでリセット電圧(VB)12に設定される。

【0019】この期間t1を拡大した図を図3に示す。

14、13、15は図2と同様であり、16は共通出力

5

線9の出力電圧を示している。フォトダイオードのアノード電圧がドライバトランジスタ4のソースにインピーダンス変換される。この電圧が増幅トランジスタ6のゲートに印加され電流電圧変換により出力電流が負荷抵抗8に流れ出力電圧が共通出力線9に出力される。期間t1内の期間tLには入射光を積分した値すなわち明出力VL、期間t期間tDにはフォトダイオードのアノードをリセット電圧VBに設定した値すなわち暗出力VD、期間t1以外にはGNDレベルの値が出力される。また期間t1以外では読み出しパルス14、リセットパルス13はLOWであり、スイッチトランジスタ5、読み出しトランジスタ7、リセットトランジスタ11すべてオフ状態で消費電流はゼロである。

【0020】図4、図5に、1例として上記した1画素分に相当する回路構成を4個とフォトダイオードを遮光した1個の回路構成を配列したブロック図とタイミングチャート図を示す。1a, b, c, dはフォトダイオード、20は遮光したフォトダイオード、17a, b, c, d、21は図1で示すリセットトランジスタ11、負荷トランジスタ2、ドライバトランジスタ4、スイッチトランジスタ5、増幅トランジスタ6、読み出しトランジスタ7を1ブロックで示した。22はシフトレジスタでスタート信号とクロック信号をそれぞれスタート端子23とクロック端子24に印加することにより順次シフトパルス25a, b, c, d、26を発生し、それぞれブロック17a, b, c, d、21内のスイッチトランジスタ、読み出しトランジスタのゲートに印加する。

【0021】図5の14a, b, c, dは読み出しパルスで25a, b, c, dの出力波形、13a, b, c, dはリセットパルスでブロック17a, b, c, dのリセットトランジスタのゲートに印加する（図4では省略する）。27は読み出しパルス14a, b, c, dがすべてlowのときにhighなる信号でブロック21のスイッチトランジスタと読み出しトランジスタのゲートに印加する。28は27同様の信号でブロック21のリセットトランジスタのゲートに印加する。以上のように入力信号を印加するとフォトダイオード1aからの光信号が期間t1の前半tLに明信号VL<sub>a</sub>、後半tDに暗信号VD<sub>a</sub>が出力され、以降VL<sub>b</sub>、VD<sub>b</sub>、VL<sub>c</sub>、VD<sub>c</sub>、VL<sub>d</sub>、VD<sub>d</sub>と連続出力が発生する。その後ブロック21からの信号がGNDレベル30より高く、VD<sub>a</sub>, b, c, dと同レベルの出力29が得られる。

【0022】図6に例として5個のイメージセンサを配列する密着型イメージセンサの簡単な構成図を示す。31a, b, c, d, eはイメージセンサで9a, b, c, d, eは各イメージセンサの出力線、9は共通出力線、8は負荷抵抗である。各イメージセンサが順次シフトして出力電流を9a, b, c, d, eに出力する。

【0023】図7に各イメージセンサの出力を示す。32は31aのイメージセンサの出力、33は31bのイ

6

メージセンサの出力である（31c, d, eの出力は省略する）。34は共通出力線9の出力で32, 33が合成されている。

【0024】図8は図7中○印の部分拡大したものである。図中VL<sub>g</sub>, VD<sub>g</sub>は31aチップの最終画素の出力、VL<sub>h</sub>, VD<sub>h</sub>は31bチップの先頭画素の出力で波線部がチップ間の出力接続部である。接続部の出力VD<sub>g</sub>レベルからVL<sub>h</sub>レベルへの振れ方は接続部以外のVDからVLの振れ方と同様でありVL<sub>h</sub>のフラットな期間も他のVLと差異はなく高速動作も可能となる。

【0025】図9に上記のイメージセンサを用いた低消費電流でかつ高速動作可能なイメージセンサユニット図を示す。40はイメージセンサ、41はイメージセンサ40の実装基板を兼ねた出力処理回路基板、42は結像光学系である等倍レンズ、43はLEDチップで、複数個のLEDチップを基板44に実装してライン光源を成す。45は押圧ガラスで46はシャーシ、47は原稿である。図中矢印aはイメージセンサ40の読み取り走査方向でイメージセンサ40の直下に位置する原稿47の情報を電気信号に変換する。この状態でユニット全体を図中矢印bの方向に移動するか矢印bの反対方向に原稿を移動することにより原稿情報を2次元的に低電流でかつ高速に読み取ることができる。

【0026】

【発明の効果】以上のように本発明はフォトダイオードにより光電変換された信号をインピーダンス変換するフォロアトランジスタと負荷トランジスタで構成するフォロア回路に直列に接続され、読み出しパルスの印加時にオン状態になりフォロア回路を活性化させるスイッチトランジスタを備えることにより低消費電流のイメージセンサが実現できる。また、受光画素であるフォトダイオードの数より1個多く遮光したフォトダイオードのブロックを設け読み取り期間外に遮光したフォトダイオードの信号を出力することによりチップ接続部での明出力期間を保持でき、る高速動作が可能となる。さらに上記のイメージセンサを複数個配列し、光源、結像光学系、出力処理回路、シャーシからユニットを構成することにより低消費電流でかつ高速読み取り可能なイメージセンサユニットが実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるイメージセンサ1画素分に相当する回路構成図

【図2】同実施例における動作説明のためのタイミング図

【図3】同実施例における動作説明のための期間t1の拡大図

【図4】本発明の第2の実施例における1画素分に相当する回路構成を4個とフォトダイオードを遮光した1個の回路構成を配列したブロック図

【図5】同実施例における動作説明のためのタイミング

7

図

【図 6】同実施例における動作説明のための密着型イメージセンサの簡単な構成図

【図 7】同実施例における動作説明のためのイメージセンサの出力図

【図 8】同実施例における動作説明のための出力接続部の拡大図

【図 9】本発明の第 3 の実施例における低消費電流でかつ高速動作可能なイメージセンサユニットの斜視図

【図 10】従来のイメージセンサの 1 画素分に相当する回路構成図

【図 11】従来例における動作説明のためのタイミング図

【図 12】従来例における動作説明のための期間  $t_1$  の拡大図

【図 13】従来例における 1 画素分に相当する回路構成を 4 個の回路構成を配列したブロック図

【図 14】従来例における 4 個のブロックの出力図

【図 15】従来例における動作説明のための密着型イメージセンサの簡単な構成図

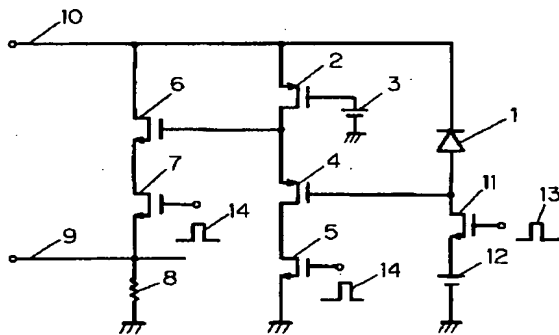
【図 16】従来例における動作説明のためのイメージセンサの出力図

【図 17】従来例における動作説明のための出力接続部の拡大図

【符号の説明】

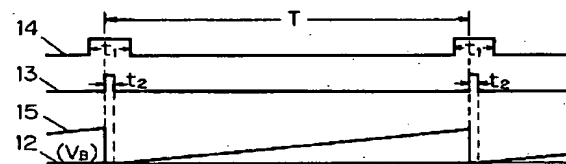
- 1 フォトダイオード
- 2 負荷トランジスタ
- 3 バイアス電圧
- 4 ドライバトランジスタ
- 5 スイッチトランジスタ

【図 1】

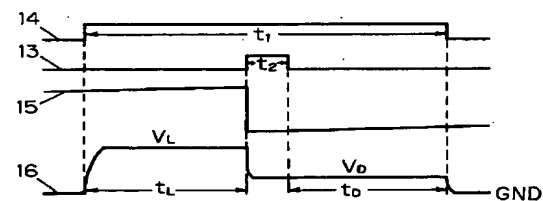


- \* 6 増幅トランジスタ
- 7 読み出しトランジスタ
- 8 負荷抵抗
- 9 共通出力線
- 10 電源
- 11 リセットトランジスタ
- 12 リセット電圧
- 13 リセットパルス
- 14 読み出しパルス
- 15 フォトダイオードのアノード電圧
- 16 出力波形
- 20 遮光したフォトダイオード
- 22 シフトレジスタ
- 23 スタート端子
- 24 クロック端子
- 25 読み出しパルス
- 26 読み出しパルス
- 27 読み出しパルス
- 28 リセットパルス
- 29 出力
- 31 イメージセンサ
- 34 共通出力線の出力
- 40 イメージセンサ
- 41 出力処理回路基板
- 42 等倍レンズ
- 43 LEDチップ
- 44 ライン光源
- 45 押圧ガラス
- 46 シャーシ
- \* 30 47 原稿

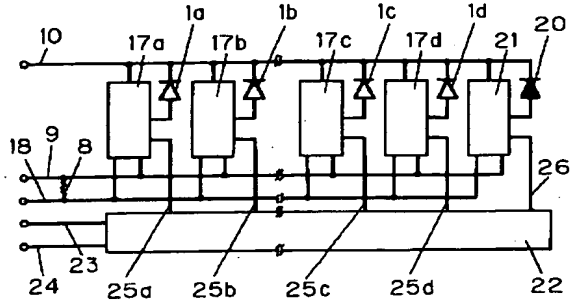
【図 2】



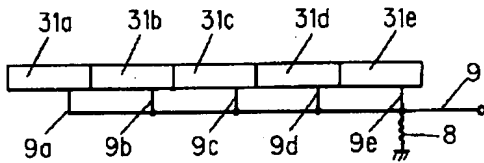
【図 3】



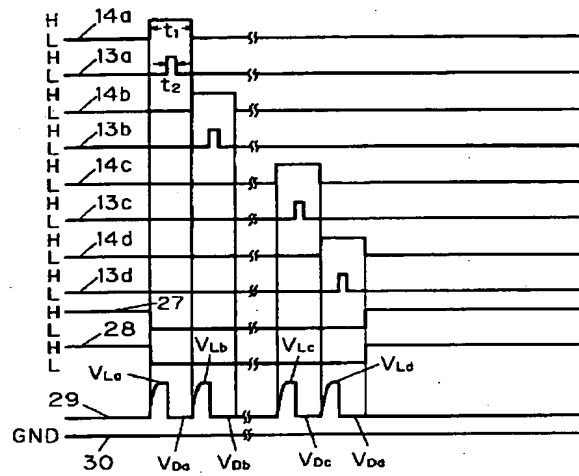
【図4】



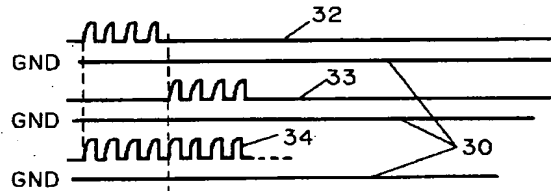
【図6】



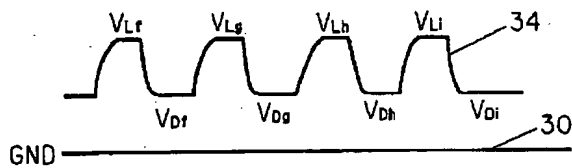
【図5】



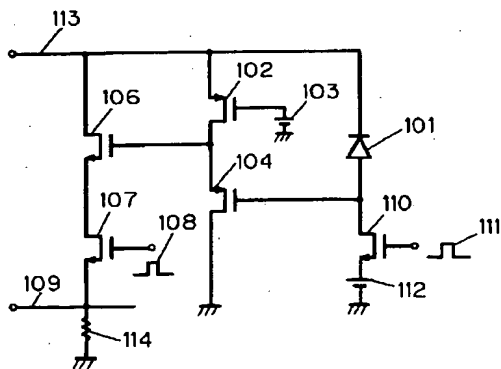
【図7】



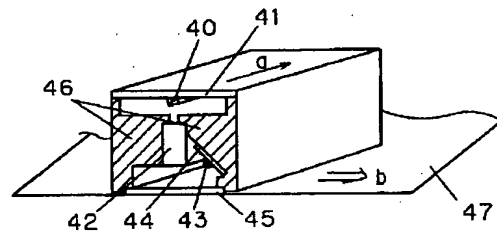
【図8】



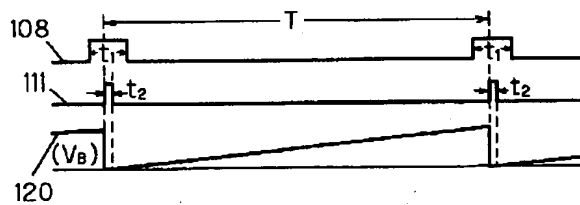
【図10】



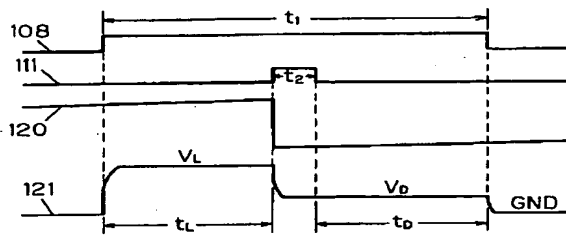
【図9】



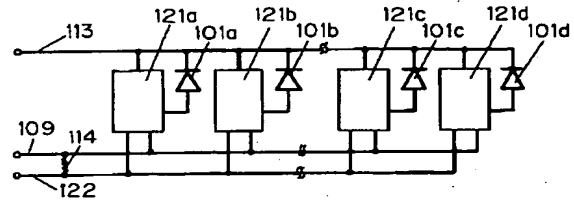
【図11】



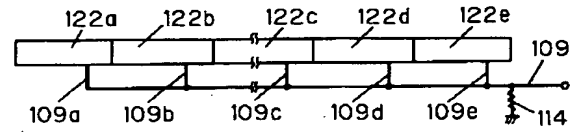
【図12】



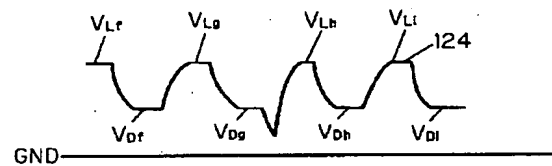
【図13】



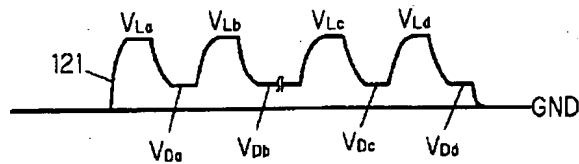
【図15】



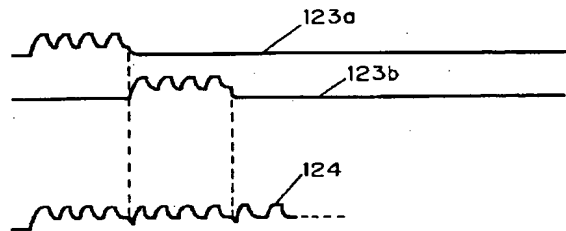
【図17】



【図14】



【図16】



フロントページの続き

(72) 発明者 中村 哲朗  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 本郷 弘貴  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内